

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Byeong-Chan Lee; Si-Young Choi; Jong-Ryeol Yoo; Deok-Hyung Lee; In-Soo Jung
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: METHODS FOR FORMING DOUBLE GATE ELECTRODES
USING TUNNEL AND TRENCH

February 5, 2004

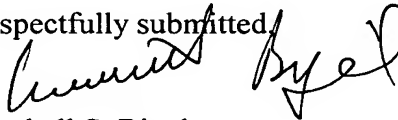
Mail Stop Patent Applications
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 10-2003-0008080, filed February 10, 2003.

Respectfully submitted,


Mitchell S. Bigel
Registration No. 29,614

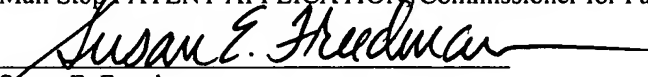
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381448758 US

Date of Deposit: February 5, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Susan E. Freedman
Date of Signature: February 5, 2004



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0008080
Application Number

출원 년 월 일 : 2003년 02월 10일
Date of Application FEB 10, 2003

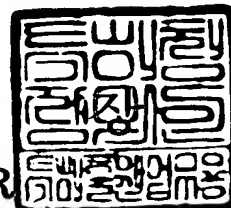
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.10
【발명의 명칭】	더블 게이트 전극 형성 방법 및 더블 게이트 전극을 포함하는 반도체 장치의 제조 방법
【발명의 영문명칭】	Method for forming double gate electrode and method for forming a semiconductor device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이병찬
【성명의 영문표기】	LEE, Byeong Chan
【주민등록번호】	680730-1024013
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 만현마을 10단지 현대1+Part 1009동 12 02호
【국적】	KR
【발명자】	
【성명의 국문표기】	최시영
【성명의 영문표기】	CHOI, Si Young
【주민등록번호】	640118-1055419
【우편번호】	463-822
【주소】	경기도 성남시 분당구 서현동 92번지 현대아파트 419동 903호
【국적】	KR

【발명자】

【성명의 국문표기】 유종렬
【성명의 영문표기】 Y00, Jong Ryeol
【주민등록번호】 730124-1800919
【우편번호】 447-290
【주소】 경기도 오산시 수청동 534번지 대우아파트 104동 1301호
【국적】 KR

【발명자】

【성명의 국문표기】 이덕형
【성명의 영문표기】 LEE, Deok Hyung
【주민등록번호】 730505-1056317
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 1112번지 신정마을 805동 503호
【국적】 KR

【발명자】

【성명의 국문표기】 정인수
【성명의 영문표기】 JUNG, In Soo
【주민등록번호】 731119-1403321
【우편번호】 442-190
【주소】 경기도 수원시 팔달구 우만동 47-1 202호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	32 면	32,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	22 항	813,000 원
【합계】	874,000 원	

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

더블 게이트 전극 형성 방법 및 더블 게이트 전극을 포함하는 반도체 장치가 개시되어 있다. 소자 분리 영역에 형성된 트렌치로 한정된 액티브 영역의 반도체 기판을 관통하고 실질적으로 상기 기판의 표면에 평행하게 터널을 형성한다. 상기 터널의 내측 표면 및 트렌치의 내측 표면에 박막의 제1 절연막을 코팅한다. 상기 제1절연막이 코팅된 터널 내부를 채우고 상기 트렌치 내부로 연장된 하부 게이트 전극을 형성한다. 상기 액티브 영역의 반도체 기판의 표면에 박막의 제2절연막을 형성한다. 이어서, 상기 터널 상부의 상기 제2 절연막 상에 상부 게이트 전극을 형성하여 더블 게이트 전극을 완성한다.

【대표도】

도 9b

【명세서】

【발명의 명칭】

더블 게이트 전극 형성 방법 및 더블 게이트 전극을 포함하는 반도체 장치의 제조 방법
 {Method for forming double gate electrode and method for forming a semiconductor device having the same}

【도면의 간단한 설명】

도 1은 통상적인 MOS 트랜지스터의 단면도이다.

도 2 내지 도 19는 본 발명의 일 실시예에 따른 더블 게이트 전극을 포함하는 DRAM 장치의 제조 방법을 설명하기 위한 단면도들 및 사시도들이다.

도 20 내지 도 22는 본 발명의 제2 실시예의 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 실리콘 기판	102 : 제1 마스크 패턴
104 : 터널 구조의 하부 게이트 영역	106 : 실리콘 게르마늄 패턴
108 : 실리콘 채널층	110 : 제2 마스크 패턴
112 : 트렌치	114 : 제1 실리콘 산화막
115 : 하부 게이트 절연막	116 : 제1 절연막
118 : 하부 게이트 패턴	120 : 제2 절연막
130 : 제3 절연막	132 : 제2 실리콘 산화막
134 : 상부 게이트 패턴	138 : 하드 마스크 패턴
142 : 질화막 스페이서	144 : 소오스/드레인 영역

146 : 4 절연막

148 : 패드 전극

150 : 비트 라인

152 : 캐패시터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<16> 본 발명은 더블 게이트 전극의 제조 방법 및 이를 포함하는 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는, 펀치 쓰루우(punch-through) 및 누설 전류를 억제할 수 있는 모오스 트랜지스터를 제공하기 위한 더블 게이트 전극 형성 방법에 관한 것이다.

<17> 도 1은 통상적인 MOS 트랜지스터의 단면도이다.

<18> 도 1을 참조하면, MOS 트랜지스터는 반도체 기판(10)의 상부에 게이트 산화막(12)을 개재하여 적층된 게이트 전극(14)과, 상기 게이트 전극(14)을 사이에 두고 서로 이격되어 기판(10)의 표면 아래로 형성된 소오스(16a) 및 드레인(16b)으로 구성된다. 소오스(16a)는 캐리어(전자 또는 정공)를 공급하고, 드레인(16b)은 소오스(16a)로부터 공급된 캐리어를 밖으로 끌어내며, 게이트 전극(14)은 소오스(16a)와 드레인(16b)을 전기적으로 연결시키는 채널을 형성하는 역할을 한다. 상기 게이트 전극(14)의 측벽에는 스페이서(18)가 형성되어 있다.

<19> 반도체 장치가 고집적화됨에 따라 게이트 전극의 길이가 줄어들게 되었고, 이에 따라 MOS 트랜지스터의 채널 길이가 서브-마이크론(sub-micron)급 이하로 줄

어떻게 되었다. 상기 MOS 트랜지스터는 채널 영역에서의 전계 및 전위 분포가 게이트 전극에 가해지는 전압에 의해 조절되어야 한다. 그러나, 상기 MOS 트랜지스터의 채널 길이가 작아짐에 따라, 게이트 전극에 가해지는 전압뿐만 아니라 소오스 및 드레인 영역의 공핍층(depletion layer) 등에 의해서도 상기 채널 영역에서의 전계 및 전위 분포가 달라진다.

<20> 구체적으로, 드레인 전압이 증가할수록 드레인의 공핍층이 비례하여 증가하게 되어 드레인 공핍층이 소오스에 근접해지게 된다. 게이트의 길이가 감소하면서 상기 드레인 공핍층과 소오스 공핍층은 더욱 가까워지고 있기 때문에, 상기 증가된 드레인 공핍층은 소오스 공핍층과 완전히 연결되어 버린다. 이러한 상태에서는 드레인 전계가 소오스 측에까지 영향을 미쳐서 소오스 근방의 확산 전위를 저하시키기 때문에, 채널이 형성되어 있지 않아도 소오스와 드레인 간에 전류가 흐르게 된다. 이것이 펀치 쓰루우라고 불리는 현상인데, 펀치 쓰루우가 일어나기 시작하면 포화 영역에서도 드레인 전류가 포화되지 않고 급격히 증가하게 된다.

<21> 이러한 펀치 쓰루우 현상은 상기 MOS 트랜지스터의 채널 길이가 감소함에 따라 더욱 빈번히 발생하게 된다. 때문에, 최근의 고집적화된 반도체 장치에서 상기 MOS 트랜지스터의 제조 공정은 펀치 쓰루우 현상을 최소화하는 방향으로 발전되고 있다.

<22> 상기 펀치 쓰루우 현상을 최소화하기 위하여 상기 소오스 및 드레인 영역의 정션 깊이를 최대한 얇게 형성하거나 또는 채널 영역에 도오즈량을 증가시키는 방법을 사용하고 있다. 그러나, 상기 제시된 두가지 방법을 사용하는 경우 상기 게이트 전극의 저항이 증가한다. 때문에, 상기 MOS 트랜지스터에서의 구동 전류가 감소되고 스윙 특성이 열화되어 상기 MOS 트랜지스터의 특성이 저하된다.

- <23> 상기 MOS 트랜지스터의 특성이 저하되는 문제 및 쇼트 채널 이펙트에 의한 펀치 스루우 문제들을 해결하기 위하여, 최근에는 상기 MOS 트랜지스터의 게이트 전극을 더블 게이트 전극으로 변경하는 방법이 제안되고 있다. 상기 더블 게이트 전극을 갖는 트랜지스터는 실리콘 채널층이 매우 얇아서 게이트의 포텐셜 에너지와 채널의 포텐셜 에너지를 밀접하게 결합시킬수 있기 때문에 문턱 전압의 조정이 용이한 장점이 있다. 또한, 채널 영역에 도오즈량이 감소되어 캐리어의 이동도를 향상시킬 수 있는 장점이 있다.
- <24> 상기 더블 게이트를 갖는 트랜지스터의 제조 방법은, 예컨대, Yu에게 허여된 미합중국 특허 제 6,458,662호에 개시되어 있다. 상기 Yu에게 허여된 방법은 Fin 구조로 에피택셜층을 형성하고 상기 에피택셜층의 표면에 균일하게 게이트 절연층 및 게이트 전극을 형성한다. 상기 Fin구조의 MOS 트랜지스터에 의하면, 상기 에피택셜층의 양 측면 상에 게이트 전극이 형성되고, 상기 에피택셜층을 따라 핀 형으로 채널이 형성되므로 채널 길이가 매우 증가된다. 따라서, 쇼트-채널 효과(short-channel effect)가 감소된다.
- <25> 그러나, 상기 방법에 의해 형성되는 Fin형의 모오스 트랜지스터는 종래의 평탄한 층으로 이루어지는 게이트 전극을 포함하는 모오스 트랜지스터의 형상과 매우 다르다. 따라서, 반도체 장치에서 상기 Fin형의 모오스 트랜지스터를 사용하는 경우에는 상기 모오스 트랜지스터를 형성한 이 후에 수행되는 모든 단위 공정들을 기존의 공정 그대로 사용할 수 없다. 따라서, 반도체 장치에서 상기 Fin형의 모오스 트랜지스터를 적용하는 것이 쉽지 않다.
- <26> 또한, 상기 더블 게이트를 갖는 트랜지스터의 제조 방법은 일본 공개 특허 제 2001-102590호에 개시되어 있다. 상기 방법은 웨이퍼 본딩 기술을 이용하며 웨이퍼를 본

당할 때 하부 게이트 전극을 형성한다. 그러나, 2개의 웨이퍼를 정확히 얼라인하여 본딩 하기가 어려울 뿐 아니라 공정이 복잡하기 때문에 양산 공정에 적용하기는 어렵다.

【발명이 이루고자 하는 기술적 과제】

<27> 따라서, 본 발명의 제1 목적은 고속 및 고집적 반도체 장치에 적용하기에 적합한 더블 게이트 전극의 제조 방법을 제공하는데 있다.

<28> 본 발명의 제2 목적은 고속 및 고집적 반도체 장치에 적용하기에 적합한 더블 게이트 전극을 갖는 반도체 장치의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기한 제1 목적을 달성하기 위하여 본 발명은, 소자 분리 영역에 형성된 트렌치로 한정된 액티브 영역의 반도체 기판을 관통하고 실질적으로 상기 기판의 표면에 평행하게 터널을 형성한다. 상기 터널의 내측 표면 및 트렌치의 내측 표면에 박막의 제1 절연막을 코팅한다. 상기 제1 절연막이 코팅된 터널 내부를 채우고 상기 트렌치 내부로 연장된 하부 게이트 전극을 형성한다. 상기 액티브 영역의 반도체 기판의 표면에 박막의 제2 절연막을 형성한다. 이어서, 상기 터널 상부의 상기 제2절연막 상에 상부 게이트 전극을 형성하여 더블 게이트 전극을 형성한다.

<30> 상기 반도체 기판은 실리콘 기판상에 실리콘 채널층이 형성된 구조를 갖는다.

<31> 상기 방법에 의해 형성되는 더블 게이트 전극 구조는 종래의 싱글 게이트의 게이트 구조와 거의 동일한 형상을 갖는다. 따라서, 상기 더블 게이트 전극을 포함하는 반도체 제조 공정을 수행할 때, 상기 더블 게이트 전극 형성 공정 이후에 진행되는 공정들을 변경하지 않아도 된다.

<32> 상기한 제2 목적을 달성하기 위하여 본 발명은, 소자 분리 영역에 형성된 트렌치로 한정된 액티브 영역의 반도체 기판을 관통하고 실질적으로 상기 기판의 표면에 평행하게 터널을 형성한다. 상기 터널의 내측 표면 및 트렌치의 내측 표면에 박막의 제1 절연막을 코팅한다. 상기 제1 절연막이 코팅된 터널 내부를 채우고 상기 트렌치 내부로 연장된 하부 게이트 전극을 형성한다. 상기 액티브 영역의 반도체 기판의 표면에 박막의 제2 절연막을 형성한다. 상기 터널 상부의 상기 제2 절연막 상에 상부 게이트 전극을 형성한다. 상기 상부 게이트 전극이 형성된 반도체 기판 표면 아래로 불순물을 주입하여 소오스 및 드레인 영역을 형성한다. 상기 소오스 영역과 전기적으로 연결되는 비트라인을 형성한다. 이어서, 상기 드레인 영역과 전기적으로 연결되는 캐패시터를 형성하여 더블 게이트 전극을 포함하는 반도체 장치를 제조한다.

<33> 상기 더블 게이트 전극을 포함하는 트랜지스터는 상기 하부 게이트 및 상부 게이트에 각각 전압이 인가되고 상기 하부 게이트 전극의 위쪽 및 상부 게이트 전극의 아래쪽에 각각 채널이 형성된다. 그러므로, 상기 소오스로부터 드레인으로 흐르는 드라이브 전류가 싱글 게이트 전극에 비해 약 2배 증가한다. 때문에, 상기 더블 게이트 전극을 포함하는 반도체 장치는 종래에 비해 고속으로 동작된다. 또한, 상기 게이트 전극의 길이가 수평방향으로 확장되지 않으면서도 채널의 길이가 증가되기 때문에 반도체 장치의 집적화에 따른 쇼트 채널 이펙트를 최소화할 수 있다. 따라서, 상기 쇼트 채널 이펙트에 의해 발생하는 동작 불량을 감소시킬 수 있다.

<34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<35> 실시예 1

- <36> 도 2 내지 도 19는 본 발명의 일 실시예에 따른 더블 게이트 전극을 포함하는 DRAM 장치의 제조 방법을 설명하기 위한 단면도들 및 사시도들이다.
- <37> 도 2를 참조하면, 단결정 실리콘으로 이루어지는 실리콘 기판(100) 상에 제1 실리콘 질화막을 형성한다. 상기 실리콘 기판(100)에서 하부 게이트(bottom gate)패턴이 형성될 영역의 상부면이 선택적으로 노출되도록 상기 제1 실리콘 질화막을 식각하여 제1 마스크 패턴(102)을 형성한다.
- <38> 도 3을 참조하면, 상기 제1 마스크 패턴(102)을 식각 마스크로 하고 실리콘 기판(100)을 이방성 식각하여 하부 게이트가 형성될 영역을 정의한다. DRAM 장치에 채용되는 트랜지스터의 경우 일반적으로 상기 하부 게이트는 라인형으로 형성된다. 상기 하부 게이트가 라인형으로 형성되므로, 상기 하부 게이트 영역(104)은 트렌치 형상을 갖는다.
- <39> 이 때, 상기 실리콘 기판은 형성하고자 하는 하부 게이트 패턴의 두께와 유사한 두께로 식각한다. 상기 하부 게이트는 약 50 내지 2000Å 정도의 두께로 형성하므로, 상기 실리콘 기판이 식각되는 두께도 약 50 내지 2000Å 정도가 된다. 만일, 상기 실리콘 기판의 식각 두께가 너무 얇으면 후속 공정에서 하부 게이트 물질을 채우기가 어렵고, 상기 식각 두께가 너무 두꺼워지면 트렌치의 깊이와 균형이 맞지 않게된다.
- <40> 도 4를 참조하면, 상기 하부 게이트 영역(104) 내부에 더미 하부 게이트 패턴을 형성한다. 상기 더미 하부 게이트 패턴은 소정의 식각 조건에서 실리콘과 더미 하부 게이트 패턴간의 식각 선택비가 1:10 이상이 되는 물질로서 형성하는 것이 바람직하다. 상기 더미 하부 게이트 패턴은 예컨대 실리콘 게르마늄 물질로 형성할 수 있다. 본 실시예에서, 상기 더미 하부 게이트 패턴은 실리콘 게르마늄 패턴(106)으로 사용한다. 상기シリ

콘 게르마늄은 실리콘 성분을 포함하고 있어서 후속 공정에서 양호한 결정 구조를 갖는 실리콘 채널층을 형성할 수 있다.

<41> 상기 실리콘 게르마늄 패턴(106)은 상기 하부 게이트 영역(104)에 노출되어 있는 실리콘을 시드(seed)로 하고 실리콘 게르마늄을 에피택셜 성장(Epitaxial Growth)시켜 형성한다. 상기 실리콘 게르마늄 패턴(106)은 $\text{Si}_{1-x}\text{Ge}_x$ 물질로 이루어지고 이 때, 상기 x 의 범위는 0.01 내지 0.5가 된다. 상기 실리콘층과의 식각 선택비를 고려할 때, 상기 실리콘 게르마늄 패턴(106)을 이루는 $\text{Si}_{1-x}\text{Ge}_x$ 물질은 상기 x 의 범위가 0.1 내지 0.5정도가 되는 것이 바람직하다.

<42> 도 5를 참조하면, 상기 제1 마스크 패턴(102)을 제거하여 상기 실리콘 기판 (100) 표면에 실리콘 및 실리콘 게르마늄 패턴(106)을 노출시킨다. 이어서, 상기 실리콘 게르마늄 패턴(106)을 포함하는 실리콘 기판(100)상에 실리콘 채널층(108)을 형성한다.

<43> 상기 실리콘 채널층(108)은 에피택셜 성장법에 의해 실리콘을 성장시켜 형성한다. 상기 실리콘 채널층(108)은 모오스 트랜지스터에서 채널이 형성되는 영역이 된다. 상기 실리콘 채널층(108)은 50 내지 1000 Å 정도의 두께로 형성한다.

<44> 상기 실리콘 채널층(108)이 너무 얇아지면 게이트 절연막 형성등의 후속 공정을 진행할 시에 실리콘이 일부 소모되어 채널이 형성되지 않을수 있다. 반면에, 상기 실리콘 채널층(108)이 너무 두꺼워지면 더블 게이트 전극에 의해 조절되는 트랜지스터의 특성의 개선 효과가 감소된다.

<45> 상기 실리콘 채널층의 표면에는 자연 산화막(109)이 얇은 두께로 형성되어 있다.

- <46> 도 6a 내지 도 6b를 참조하면, 상기 실리콘 채널층(108)상에 제2 실리콘 질화막을 형성한다. 이어서, 상기 실리콘 기판(100)의 액티브 영역이 마스크되도록 상기 제2 실리콘 질화막을 식각하여 제2 마스크 패턴(110)을 형성한다. 즉, 상기 제2 마스크 패턴(110)에 의해 노출되는 부위는 소자 분리 영역이 된다. 상기 액티브 영역은 상기 실리콘 게르마늄 패턴(106)과 수직한 방향으로 형성된다.
- <47> 도 7은 상기 제2 마스크 패턴이 형성된 상태의 평면도이다. 이하 도 6 및 도 8 내지 도 12에서의 각 a 도는 도 7의 A-A' 방향으로 절단한 단면도이고 각 b도는 도 7의 B-B'라인 방향으로 절단한 단면도이다.
- <48> 도 8a 내지 도 8b를 참조하면, 상기 제2 마스크 패턴(110)을 식각 마스크로 하고 상기 실리콘 채널층(108), 실리콘 게르마늄 패턴(106) 및 실리콘 기판(100)을 순차적으로 식각하여 트렌치(112)를 형성한다. 상기 트렌치(112)의 측면에는 상기 실리콘 게르마늄 패턴(106)의 일부가 노출된다.
- <49> 도 9a 내지 도 9b를 참조하면, 상기 하부 게이트 영역(104) 내에 남아있는 상기 실리콘 게르마늄 패턴(106)을 선택적으로 등방성 식각한다. 상기 등방성 식각은 실리콘은 거의 식각되지 않으면서 실리콘 게르마늄은 빠르게 식각되는 조건으로 수행한다. 상기 등방성 식각 공정은 건식 식각 또는 습식 식각에 의해 수행할 수 있다. 상기 실리콘 게르마늄 패턴을 선택적으로 식각하면 상기 실리콘 게르마늄 패턴(106)이 있었던 위치가 공동화(cavity)되어, 상기 트렌치 및 액티브 영역을 통과하는 터널 구조를 갖는 하부 게이트 영역(104)이 형성된다.
- <50> 도 10a 내지 도 10b를 참조하면, 상기 터널 구조를 갖는 하부 게이트 영역(104) 및 상기 트렌치(112)의 표면에 제1 실리콘 산화막(114)을 형성한다. 상기 터널 구조를

갖는 하부 게이트 영역(104)의 표면에 형성되는 제1 실리콘 산화막(114)은 하부 게이트 산화막의 역할을 한다. 상기 제1 실리콘 산화막(114)은 하부 게이트 영역의 두께 및 설계된 트랜지스터의 특성에 따라 조정될 수 있으며 약 10 내지 200Å 정도의 두께로 형성한다.

<51> 또한, 상기 제1 실리콘 산화막(114)은 종래에 트렌치를 형성한 이 후에 식각에 의해 손상된 트렌치 내부 표면을 큐어링하기 위하여 형성되는 트렌치 측벽 산화막의 역할을 한다. 상기 트렌치(112) 내부 표면을 큐어링하기 위하여, 상기 제1 실리콘 산화막(114)은 상기 기판을 산소 분위기에서 열처리하여 상기 표면에 노출되어 있는 실리콘과 산소와의 반응에 의해 실리콘 산화막을 형성하는 열적 산화 방식으로 형성한다.

<52> 도 11a 내지 도 11b를 참조하면, 상기 제1 실리콘 산화막(114)이 형성되어 있는 트렌치(112)의 내부를 채우도록 절연 물질을 증착한다. 상기 절연 물질은 실리콘 산화물계 물질로 형성할 수 있다.

<53> 이어서, 상기 터널 구조를 갖는 하부 게이트 영역(104)의 아래에 위치하는 상기 트렌치(112)의 내부에만 상기 절연 물질이 남아있도록 상기 절연 물질을 부분적으로 식각하여 제1 절연막(116)을 형성한다.

<54> 도 12a 내지 도 12b를 참조하면, 상기 터널 구조를 갖는 하부 게이트 영역(104) 및 상기 제1 절연막이 채워진 상기 트렌치(112)에 도전성 물질을 증착시켜 제1 하부 게이트 도전막(118a)을 형성한다.

<55> 구체적으로, 상기 도전성 물질은 상기 터널 구조를 갖는 하부 게이트 영역(104)의 내부, 상기 제1 절연막(116)의 상부에 위치하는 트렌치(112)의 표면 및 상기 제2 마스크

패턴(110)상에 연속적으로 형성된다. 이 때, 상기 도전성 물질은 상기 터널 구조를 갖는 하부 게이트 영역(104)내를 완전히 채우도록 형성되어야 한다. 상기 제1 하부 게이트 도전막(118a)은 폴리실리콘, 텅스텐, 텅스텐 실리사이드, 티타늄 실리사이드, 티타늄 나이트라이드, 텅스텐 나이트라이드로 이루어지는 군에서 선택되는 적어도 어느 하나의 물질로 형성할 수 있다.

<56> 도 13 내지 도 16에서 각 a도는 도 7의 A-A' 방향으로 절단한 사시도이고 각 b도는 도 7의 B-B'라인 방향으로 절단한 사시도이다.

<57> 도 13a 내지 도 13b를 참조하면, 상기 제1 하부 게이트 도전막(118a)에서 하부 게이트 패턴이 형성되어야 할 위치 상에만 상기 도전성 물질이 남도록 상기 제1 하부 게이트 도전막(118a)을 식각하여, 제2 하부 게이트 도전막(118b)을 형성한다. 그러나, 상기 식각 공정에 의해 상기 하부 게이트 패턴이 완성되지는 않으며, 불필요한 도전 물질이 여전히 남아있다. 구체적으로, 상기 불필요한 도전 물질은 상기 제2 마스크 패턴(110)의 상부면 및 트렌치(112)의 측면에 남아있다.

<58> 도 14a 내지 도 14b를 참조하면, 상기 제2 하부 게이트 도전막(118b)상에 절연 물질을 증착시켜 상기 트렌치(112)의 내부를 완전히 채운다. 상기 절연 물질은 실리콘 산화물을 포함한다. 상기 절연 물질은 CVD 공정에 의해 증착시킬 수 있다.

<59> 이어서, 상기 제2 마스크 패턴이 노출되도록 상기 증착된 절연물질 및 상기 제2 하부 게이트 도전막(118b)을 연마하여 제3 하부 게이트 도전막(118c) 및 제2 절연막(120)을 형성한다. 상기 연마 공정에 의해, 상기 제2 마스크 패턴(110)상에 불필요하게 남아있는 도전 물질은 제거된다.

- <60> 도 15a 내지 도 15b를 참조하면, 상기 트렌치(112)의 측면에 남아있는 제3 하부 게이트 도전막(118c)을 부분적으로 식각하여 하부 게이트 패턴(118)을 형성한다. 상기 하부 게이트 패턴은 상기 트렌치 및 액티브 영역을 통과하는 터널 구조를 갖는다. 그리고, 상기 하부 게이트 패턴은 라인 형상을 갖는다.
- <61> 상기 식각 공정을 수행할 때 상기 하부 게이트 도전막(118c)을 너무 깊게 식각하면, 상기 하부 게이트 패턴(118)이 끊어지거나 상기 하부 게이트 패턴(118)의 저항이 증가하게 된다. 때문에, 상기 트렌치(112)의 측면에 남아있는 제3 하부 게이트 도전막(118c)이 적어도 상기 하부 게이트 영역의 상부면보다 높게 위치하도록, 상기 제3 하부 게이트 도전막(118c)을 식각하는 것이 바람직하다.
- <62> 상기 식각 공정은 습식 식각 또는 건식 식각 공정으로 수행할 수 있다. 또한, 상기 하부 게이트 도전층(118c)이 폴리실리콘층으로 형성되어 있는 경우에, 상기 폴리실리콘층은 열 탈착 실리콘 식각(Thermal Desorption Silicon Etching, TDSE) 공정을 통하여 식각할 수 있다. 상기 열 탈착 실리콘 식각 공정은 케미컬 흡수에 의해 식각이 수행되므로 플라즈마 데미지가 발생되지 않는 장점이 있다. 상기 열 탈착 실리콘 식각 공정에 사용할 수 있는 식각 가스는 Cl_2 , HCl 등을 예로 들 수 있다.
- <63> 도 16a 내지 도 16b를 참조하면, 상기 하부 게이트 패턴(118) 상의 트렌치 내부를 채우도록 절연 물질을 증착한다. 상기 절연 물질은 상기 제2 절연막(120)에 사용된 물질과 동일한 물질로 사용하는 것이 바람직하다. 이어서, 상기 제2 마스크 패턴(110)을 제거하고, 표면에 상기 실리콘 채널층(108), 제2 절연막(120) 및 상기 절연 물질이 평탄하게 노출되도록 공정을 수행한다.

- <64> 구체적으로, 상기 제2 마스크 패턴(110)의 제거 및 표면 평탄화 공정은 상기 제2 마스크 패턴(110), 제2 절연막(120) 및 상기 절연 물질이 거의 유사한 식각율로 식각되도록 식각 레시피를 조절하여 상기 제2 마스크 패턴(110), 제2 절연막(120) 및 상기 절연 물질을 건식 식각할 수 있다. 또는, 상기 제2 마스크 패턴(110)의 제거 및 평탄화 공정은 상기 제2 마스크 패턴(110), 제2 절연막(120) 및 상기 절연 물질이 거의 유사한 제거율로 제거되는 조건의 CMP공정으로 수행할 수 있다. 상기 공정에 의해 액티브 영역에는 상기 실리콘 채널층(108)이 노출되고, 상기 트렌치내에는 제3 절연막(130)이 형성된다.
- <65> 도 17a 내지 도 17b를 참조하면, 상기 평탄화된 기판 표면상에 상부 게이트 절연막으로 사용되는 제2 실리콘 산화막(132)을 형성한다. 상기 제2 실리콘 산화막(132)은 10 내지 100Å 정도의 두께로 형성한다.
- <66> 도 18a 내지 도 18b를 참조하면, 상기 제2 실리콘 산화막(132) 상에 상부 게이트 도전막 및 하드 마스크막을 형성한다. 상기 상부 게이트 도전막은 폴리실리콘막, 폴리실리콘 및 금속 실리사이드의 복합막 또는 텅스텐막으로 형성할 수 있다. 상기 하드 마스크막은 실리콘 질화막으로 형성할 수 있다.
- <67> 이어서, 상기 하드 마스크막을 식각하여 하드 마스크 패턴(138)을 형성한다. 상기 하드 마스크 패턴(138)을 사용하여 상부 게이트 도전막을 식각하여 상기 하부 게이트 패턴 서로 평행하게 위치하는 상부 게이트 패턴(134, top gate)을 형성한다. 도면에서, 상기 상부 게이트 패턴(134)은 폴리실리콘 패턴(134a) 상에 금속 실리사이드 패턴(134b)이 적층된 형태를 갖는다.

<68> 이 때, 상기 하부 게이트 패턴(118) 및 상부 게이트 패턴(134)은 각각의 저항이 거의 유사하게 되도록 형성하여야 한다. 그 이유는, 상기 하부 게이트 패턴(118) 및 상부 게이트 패턴(134)에 전압을 인가하였을 때 동시에 채널이 형성되어야만 상기 트랜지스터가 정상적으로 동작할 수 있기 때문이다. 상기 하부 게이트 패턴(118) 및 상부 게이트 패턴(134)은 서로 게이트 길이 및 사용되는 도전성 물질들을 조정하여 저항을 유사하게 맞출수 있다. 예컨대, 상기 상부 게이트 패턴(134)에 사용되는 물질의 비저항이 상기 하부 게이트 패턴(118)에 사용되는 물질보다 낮을 경우에는 상기 하부 게이트 패턴(118)의 게이트 길이가 상기 상부 게이트 패턴(134)의 길이에 비해 확장된 형태로 형성할 수 있다.

<69> 상기 설명한 과정에 의해, 반도체 장치에 포함되는 더블 게이트 전극을 형성할 수 있다. 상기 제1 실시예에 따라 형성되는 더블 게이트 전극은 하부 게이트 패턴(118)이 트렌치 소자 분리 영역 및 액티브 영역을 통과하는 터널 구조를 갖는다. 또한, 상기 상부 게이트 패턴(134)은 평탄한 실리콘 채널층(108)상에 형성된다. 때문에, 상기 평탄한 실리콘 채널층(108)상에 형성되는 상부 게이트 패턴(134)은 종래의 싱글 게이트 패턴과 동일한 형상을 갖는다. 따라서, 상기 상부 게이트 패턴(134)을 형성하는 공정 및 그 이후에 수행되는 공정들은 종래에 사용하는 반도체 제조 공정과 동일한 공정으로 진행할 수 있다.

<70> 도 19는 본 발명의 더블 게이트 전극을 포함하는 DRAM 장치의 단면도이다. 이하에서는, 상기 더블 게이트 전극이 형성되어 있는 기판 상에 진행되는 DRAM 제조 공정을 간략하게 설명한다. 그리고, 상기 상부 게이트 패턴(134) 및 하드 마스크 패턴(138)이 적층된 구조물은 상부 게이트 구조물(140)이라하면서 설명한다.

<71> 도 19를 참조하면, 상기 상부 게이트 구조물(140)의 측면에 질화막 스페이서(142)를 형성한다. 이어서, 상기 실리콘 채널층(108) 내로 불순물을 주입하여 소오스 및 드레인 영역(144)을 형성한다. 상기 상부 게이트 구조물(140)을 매몰하는 제4 절연막(146)을 형성한다. 또한, 상기 소오스 및 드레인 영역(144)과 전기적으로 접촉하는 패드 전극(148)을 형성한다. 상기 드레인 영역 접촉하는 하나의 패드 전극과 연결되는 비트 라인(150)을 형성한다. 또한, 상기 소오스 영역과 접촉하는 또하나의 패드 전극과 전기적으로 연결되는 캐패시터(152)를 형성한다.

<72> 상기 더블 게이트 전극을 포함하는 트랜지스터는 상기 하부 게이트 패턴(118) 및 상부 게이트 패턴(134)에 각각 전압이 인가되고 상기 하부 게이트 패턴(118)의 위쪽 및 상부 게이트 패턴(134)의 아래쪽에 각각 채널이 형성된다. 따라서, 상기 더블 게이트 전극을 포함하는 트랜지스터의 드라이브 전류는 싱글 게이트 전극에 비해 약 2배 증가된다. 또한, 상기 게이트 전극의 길이가 수평방향으로 확장되지 않으면서도 채널의 길이가 증가되기 때문에 반도체 장치의 집적화에 따른 쇼트 채널 이펙트를 최소화할 수 있다.

<73> 실시예 2

<74> 이하에서 설명하는 실시예 2는 실시예 1과 하부 게이트 산화막을 형성하는 공정을 제외하고는 모든 공정이 동일하다. 동일한 요소는 동일한 도면 부호를 사용한다.

- <75> 도 20 내지 도 22은 본 발명의 제2 실시예의 방법을 설명하기 위한 단면도들이다. 도 20 내지 도 22에서 각 a도는 도 7의 A-A' 방향으로 절단한 사시도이고 각 b도는 도 7의 B-B'라인 방향으로 절단한 사시도이다.
- <76> 도 1 내지 도 9를 참조로 설명한 것과 동일한 공정을 수행하여, 실리콘 기판 상에 실리콘 채널층을 구비하고, 소자 분리를 위한 트렌치 및 상기 트렌치 및 액티브 영역을 통과하는 터널 구조의 하부 게이트 영역을 형성한다.
- <77> 도 20a 내지 도 20b를 참조하면, 상기 터널 구조의 하부 게이트 영역(104) 및 상기 트렌치(112)의 표면에 제1 실리콘 산화막(114)을 형성한다. 상기 제1 실리콘 산화막(114)은 종래에 상기 트렌치를 형성하기 위한 식각 공정을 수행한 이 후에 표면의 손상을 큐어링하기 위하여 형성하는 트렌치 측벽 산화막의 역할을 한다. 상기 제1 실리콘 산화막(114)은 표면에 노출되어 있는 실리콘으로부터 실리콘 산화막을 성장시키는 열적 산화 방식으로 형성한다.
- <78> 도 21a 내지 도 21b를 참조하면, 상기 제1 실리콘 산화막(114)이 형성되어 있는 트렌치(112)의 내부를 채우도록 절연 물질을 증착한다. 상기 절연 물질은 실리콘 산화물계 물질을 포함한다. 이어서, 상기 터널 구조의 하부 게이트 영역(104)의 아래에 위치하는 트렌치(112) 내에만 상기 절연 물질이 남아있도록 상기 절연 물질을 부분적으로 식각하여 제1 절연막(116)을 형성한다. 상기 식각 공정을 수행할 때, 상기 터널 구조의 하부 게이트 영역(104)의 표면에 형성되어 있는 제1 실리콘 산화막(114)까지 완전히 식각한다. 따라서, 상기 터널 구조의 하부 게이트 영역(104)의 표면에는 실리콘이 노출되어 있다.

<79> 도 22a 내지 도 22b를 참조하면, 상기 터널 구조의 하부 게이트 영역(104) 및 트렌치(112)의 표면상에 하부 게이트 절연막(115)을 형성한다. 상기 하부 게이트 절연막(115)은 실리콘 산화막으로 형성할 수 있다. 상기 하부 게이트 절연막(114)은 상기 기판을 산소 분위기에서 열처리하여 상기 표면에 노출되어 있는 실리콘과 산소와의 반응에 의해 실리콘 산화막을 형성하는 열적 산화 방식으로 형성한다. 또는 상기 하부 게이트 절연막(115)은 CVD 방법으로 형성할 수 있다. 상기 하부 게이트 절연막(115)은 10 내지 100Å 정도의 두께로 형성한다.

<80> 상기 방법에 의해 하부 게이트 절연막(115)을 형성하는 경우에는, 상기 트렌치 내에 절연막을 형성할 때 상기 터널 구조의 하부 게이트 영역(104)의 측면으로 절연 물질이 채워져 상기 하부 게이트 패턴이 단선되는 것과 같은 불량을 방지할 수 있다. 또한, 상기 터널 구조의 하부 게이트 영역(104) 표면에 형성되어 있는 제1 실리콘 산화막(114)을 완전히 식각한 이 후에 하부 게이트 절연막(105)을 형성하기 때문에, 상기 하부 게이트 절연막(105)이 손상되지 않고 원하는 두께로 균일하게 형성할 수 있다.

<81> 이 후에 상기 제1 실시예의 도 11 내지 도 18을 참조로 설명한 공정들을 수행하여 더블 게이트를 갖는 DRAM 장치를 형성한다.

【발명의 효과】

<82> 상술한 바와 같이 본 발명에 의하면, 더블 게이트 전극은 게이트 전극의 길이를 수평 방향으로 확장시키지 않으면서 채널의 길이를 증가시킨다. 따라서, 반도체 장치의 집적화에 따른 쇼트 채널 이펙트를 최소화할 수 있다. 또한, 상기 더블 게이트 전극 구조는 종래의 싱글 게이트의 게이트 구조와 거의 동일한 형상을 갖는다. 따라서, 상기 더블

게이트 전극을 포함하는 반도체 제조 공정을 수행할 때, 상기 더블 게이트 전극 형성 공정 이후에 진행되는 공정들을 변경하지 않아도 된다.

<83> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

i) 소자 분리 영역에 형성된 트렌치로 한정된 액티브 영역의 반도체 기판을 관통하고 실질적으로 상기 기판의 표면에 평행하게 터널을 형성하는 단계;

ii) 상기 터널의 내측 표면 및 트렌치의 내측 표면에 박막의 제1절연막을 코팅하는 단계;

iii) 상기 제1절연막이 코팅된 터널 내부를 채우고 상기 트렌치 내부로 연장된 하부 게이트 전극을 형성하는 단계;

iv) 상기 액티브 영역의 반도체 기판의 표면에 박막의 제2 절연막을 형성하는 단계 ; 및

v) 상기 터널 상부의 상기 제2 절연막 상에 상부 게이트 전극을 형성하는 단계를 구비하는 것을 특징을 하는 더블 게이트 전극 형성 방법.

【청구항 2】

제1항에 있어서, 상기 i) 단계는,

실리콘 기판에서 하부 게이트 영역 부위에 실리콘과 소정의 식각 조건에서 1:10 이상의 식각 선택비를 갖는 물질로 더미 하부 게이트 패턴을 형성하는 단계;

상기 더미 하부 게이트 패턴을 포함하는 실리콘 기판 상에 실리콘 채널층을 형성하는 단계;

상기 실리콘 채널층 및 실리콘 기판의 소정 부위를 순차적으로 식각하여 측면에 상기 더미 하부 게이트 패턴의 일부분을 노출시키는 소자 분리를 위한 트렌치를 형성하는 단계; 및

상기 더미 하부 게이트 패턴을 선택적으로 제거하여 터널을 형성하는 단계를 수행하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 3】

제2항에 있어서, 상기 더미 하부 게이트 패턴은 실리콘 게르마늄($\text{Si}_{1-x}\text{Ge}_x$)물질로 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 4】

제3항에 있어서, 상기 $\text{Si}_{1-x}\text{Ge}_x$ 는 x 의 범위가 0.01 내지 0.5인 물질인 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 5】

제3항에 있어서, 상기 더미 하부 게이트 패턴은 라인 형상을 갖도록 패터닝하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 6】

제3항에 있어서, 상기 더미 하부 게이트 패턴은,

상기 실리콘 기판에서 하부 게이트 영역 부위가 선택적으로 노출되도록 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴을 마스크로 하고, 상기 실리콘 기판을 식각하는 단계;

상기 식각된 부위에 실리콘 게르마늄을 에피택셜 성장시켜 실리콘 게르마늄패턴을 형성하는 단계; 및

상기 제1 마스크 패턴을 제거하는 단계를 수행하여 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 7】

제6항에 있어서, 상기 실리콘 기판은 50 내지 2000 Å 정도의 두께만큼 식각하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 8】

제2항에 있어서, 상기 실리콘 채널층은 에피택셜 성장법에 의해 실리콘을 성장시켜 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 9】

제2항에 있어서, 상기 트렌치는,

상기 실리콘 채널층 상에 액티브 영역을 마스크하는 제2 마스크 패턴을 형성하는 단계; 및

상기 제2 마스크 패턴을 식각 마스크로하여 상기 실리콘 채널층 및 실리콘 기판을 소정 두께로 식각하는 단계를 수행하여 이루어지는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 10】

제8항에 있어서, 상기 제2 마스크 패턴은 실리콘 질화막으로 이루어지는 하드 마스크 패턴인 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 11】

제2항에 있어서, 상기 더미 하부 게이트 패턴을 선택적으로 제거하는 단계는 습식 식각 또는 건식 식각 방식으로 수행하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 12】

제1항에 있어서, 상기 제1 절연막은 10 내지 100 Å의 두께로 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 13】

제1항에 있어서, iii) 단계를 수행하기 이전에, 상기 터널 아래의 소정 위치까지 상기 트렌치 내부에 부분적으로 절연물질을 채우는 단계를 더 수행하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 14】

제13항에 있어서, 상기 트렌치 내부에 부분적으로 절연물질을 채우는 단계는, 상기 트렌치 내부가 채워지도록 제3 절연막을 증착시키는 단계; 및

상기 터널 표면에 코팅된 제1 절연막은 남기면서 상기 하부 게이트 영역의 아래의 트렌치 내부에만 상기 제3 절연막이 남아있도록, 상기 트렌치 내에 채워진 제3 절연막을 부분적으로 식각하는 단계를 수행하여 이루어지는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 15】

제13항에 있어서, 상기 트렌치 내부에 부분적으로 절연물질을 채우는 단계는,

상기 트렌치 내부를 채우도록 제3 절연막을 형성하는 단계;

상기 하부 게이트 영역 아래로만 제3 절연막이 남아있도록, 상기 트렌치 내에 채워진 제3 절연막을 식각하고 동시에 상기 터널 표면에 코팅된 제1 절연막을 식각하는 단계; 및

상기 하부 게이트 영역의 표면 및 상기 트렌치 표면에 하부 게이트용 실리콘 절연막을 형성하는 단계를 수행하는 것을 특징으로 하는 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 16】

제15항에 있어서, 상기 하부 게이트용 절연막은 10 내지 100Å의 두께로 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 17】

제1항에 있어서, iii) 단계는,

상기 터널의 내부 및 기판 전면에 도전물질을 증착시켜 도전막을 형성하는 단계;

상기 터널이 형성된 영역 상에 증착된 도전막 만이 남도록 상기 도전막을 식각하는 단계;

상기 도전막이 형성되어 있는 기판 상에 제4 절연막을 증착하는 단계;

상기 트렌치 내에만 상기 제4 절연막 및 도전막이 남도록 상기 제4 절연막 및 도전막의 표면을 연마하는 단계; 및

상기 터널 내부를 채우고 상기 트렌치 내부로 연장되도록 상기 트렌치 내에 남아있는 도전막을 부분적으로 식각하는 단계를 수행하여 이루어지는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 18】

제17항에 있어서, 상기 도전 물질은 폴리실리콘, 텅스텐, 텅스텐 실리사이드, 티타늄 실리사이드, 티타늄 나이트라이드 및 텅스텐 나이트라이드로 이루어지는 군에서 선택된 적어도 어느 하나의 물질로 이루어지는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 19】

제17항에 있어서, 상기 도전막을 식각하는 단계는 건식 식각, 습식 식각 또는 열탈착 실리콘 식각(Thermal Desorption Silicon Etching) 공정을 수행하여 이루어지는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 20】

제1항에 있어서, iii) 단계를 수행한 이후에,

상기 트렌치 내부를 매몰하도록 절연 물질을 증착하는 단계; 및

상기 트렌치 내부에만 절연 물질이 남아있고, 표면에는 반도체 기판 표면이 노출되도록 상기 절연물질을 연마하는 단계를 더 수행하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 21】

제1항에 있어서, 상기 하부 게이트 전극의 저항과 상기 상부 게이트 전극의 저항이 유사하게 되도록 상기 하부 및 상부 게이트 전극의 길이 및 사용되는 도전성 물질을 조정하여 형성하는 것을 특징으로 하는 더블 게이트 전극 형성 방법.

【청구항 22】

i) 소자 분리 영역에 형성된 트렌치로 한정된 액티브 영역의 반도체 기판을 관통하고 실질적으로 상기 기판의 표면에 평행하게 터널을 형성하는 단계;

ii) 상기 터널의 내측 표면 및 트렌치의 내측 표면에 박막의 제1 절연막을 코팅하는 단계;

iii) 상기 제1 절연막이 코팅된 터널 내부를 채우고 상기 트렌치 내부로 연장된 하부 게이트 전극을 형성하는 단계;

iv) 상기 액티브 영역의 반도체 기판의 표면에 박막의 제2 절연막을 형성하는 단계; 및

v) 상기 터널 상부의 상기 제2 절연막 상에 상부 게이트 전극을 형성하는 단계;

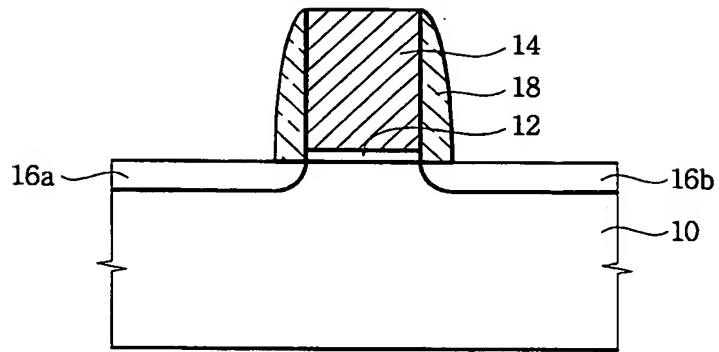
vi) 상기 상부 게이트 전극이 형성된 반도체 기판 표면 아래로 불순물을 주입하여 소오스 및 드레인 영역을 형성하는 단계;

vii) 상기 소오스 영역과 전기적으로 연결되는 비트라인을 형성하는 단계; 및

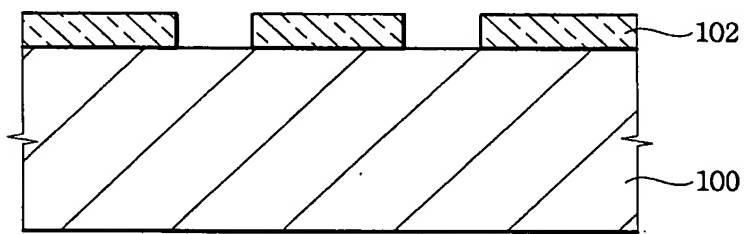
viii) 상기 드레인 영역과 전기적으로 연결되는 캐패시터를 형성하는 단계를 수행하는 것을 특징으로 하는 더블 게이트 전극을 포함하는 반도체 장치의 제조 방법.

【도면】

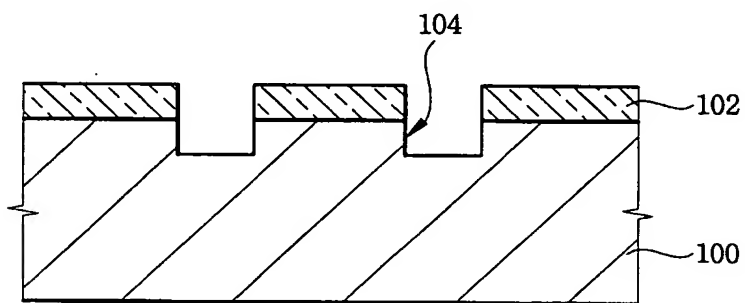
【도 1】



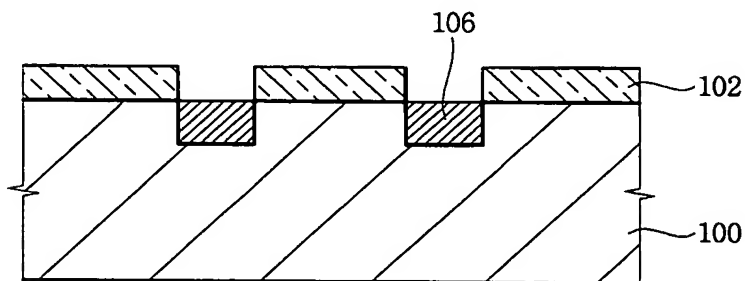
【도 2】



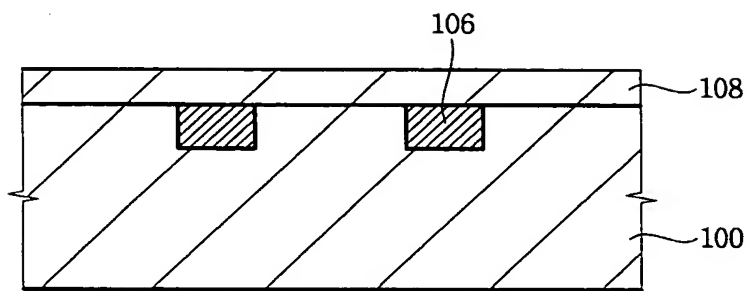
【도 3】



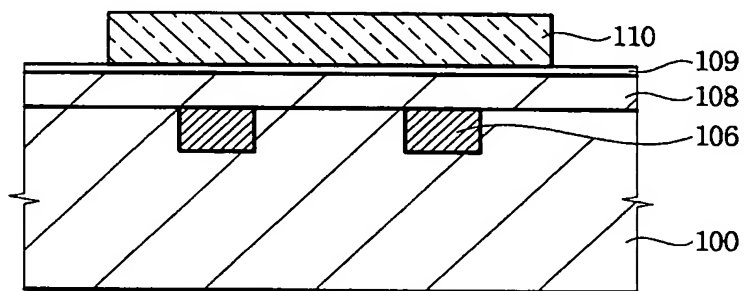
【도 4】



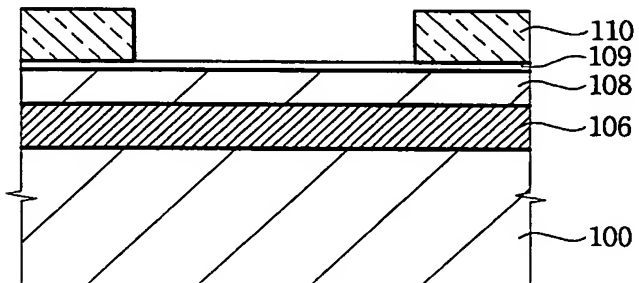
【도 5】



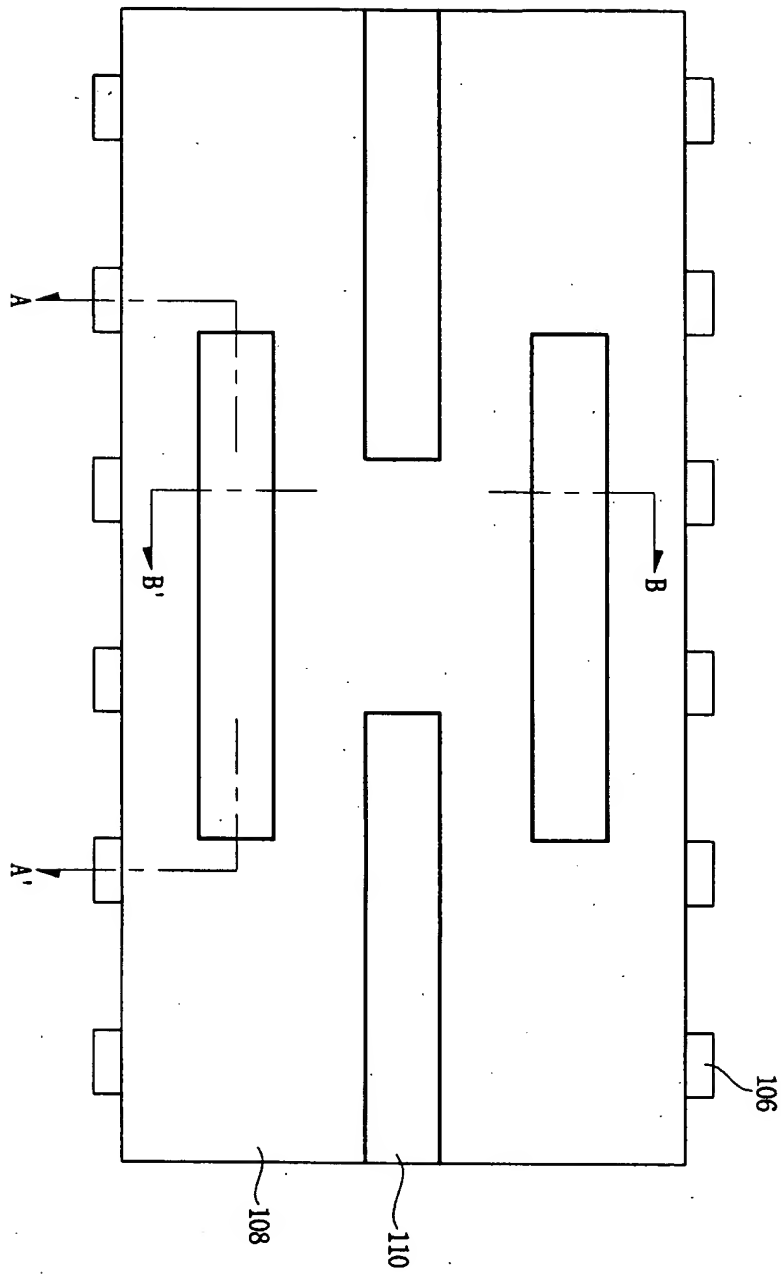
【도 6a】



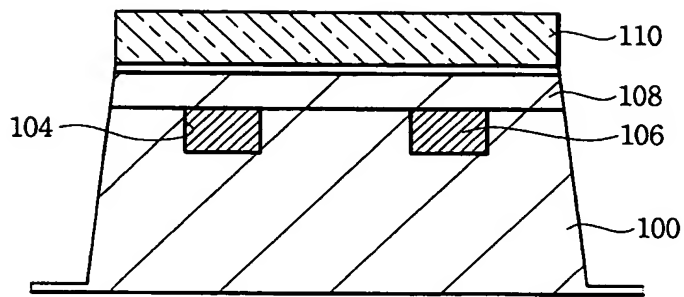
【도 6b】



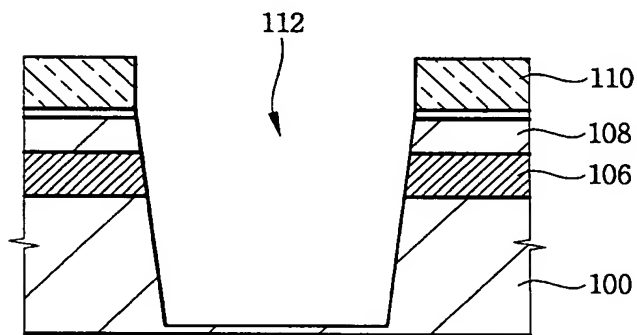
【도 7】



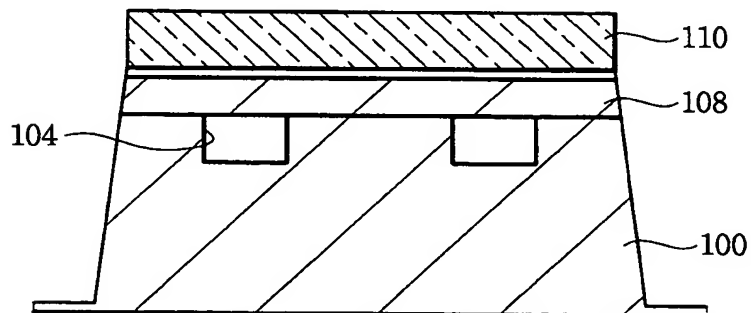
【도 8a】



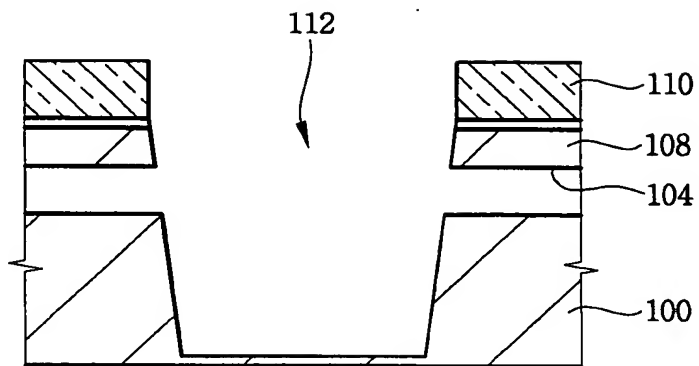
【도 8b】



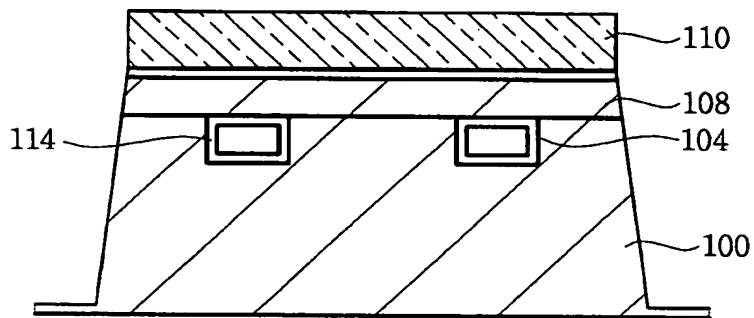
【도 9a】



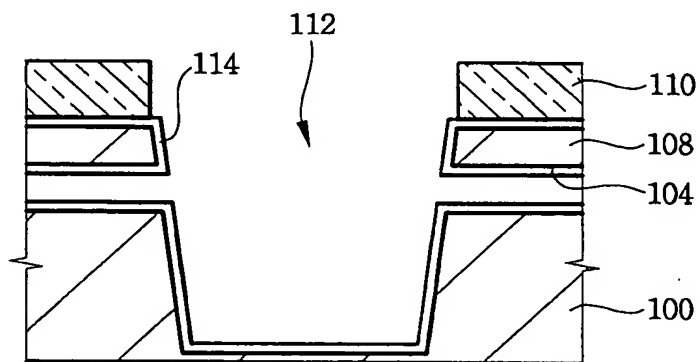
【도 9b】



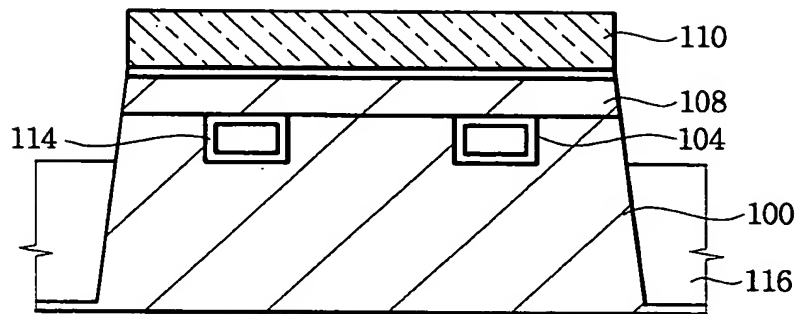
【도 10a】



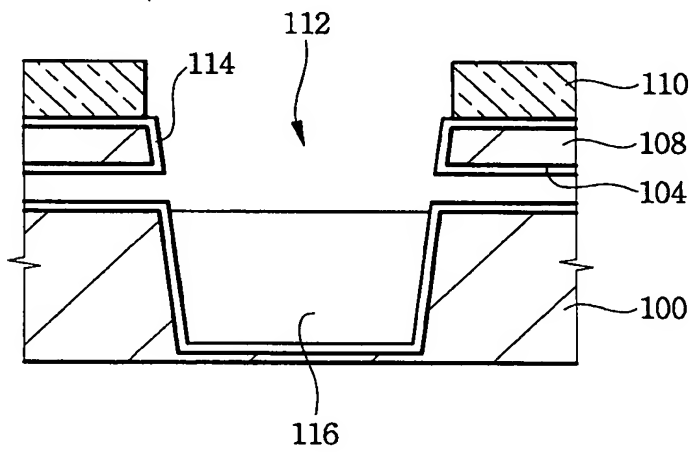
【도 10b】



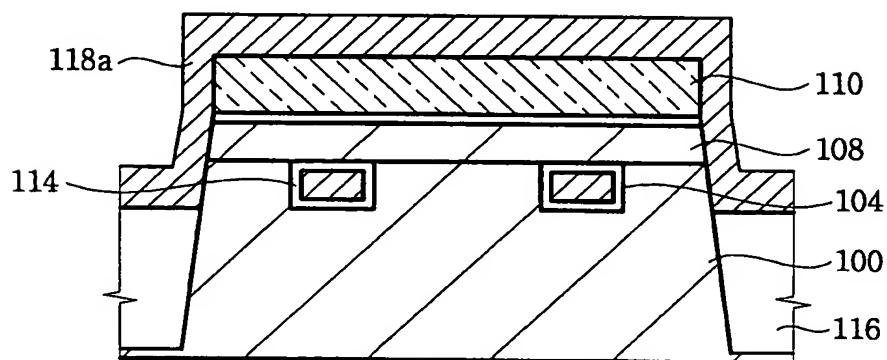
【도 11a】



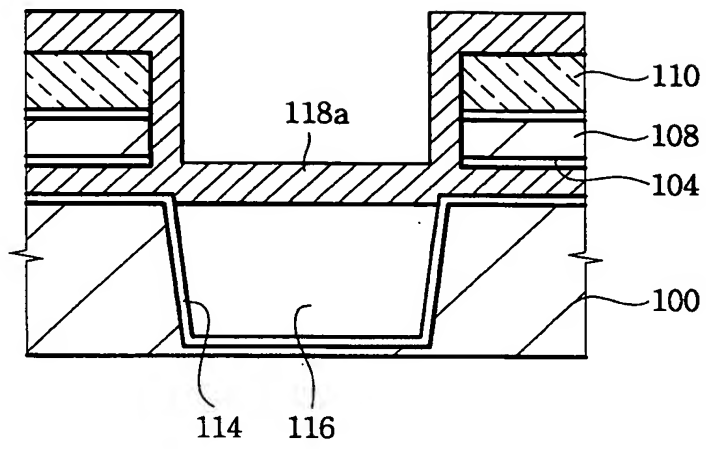
【도 11b】



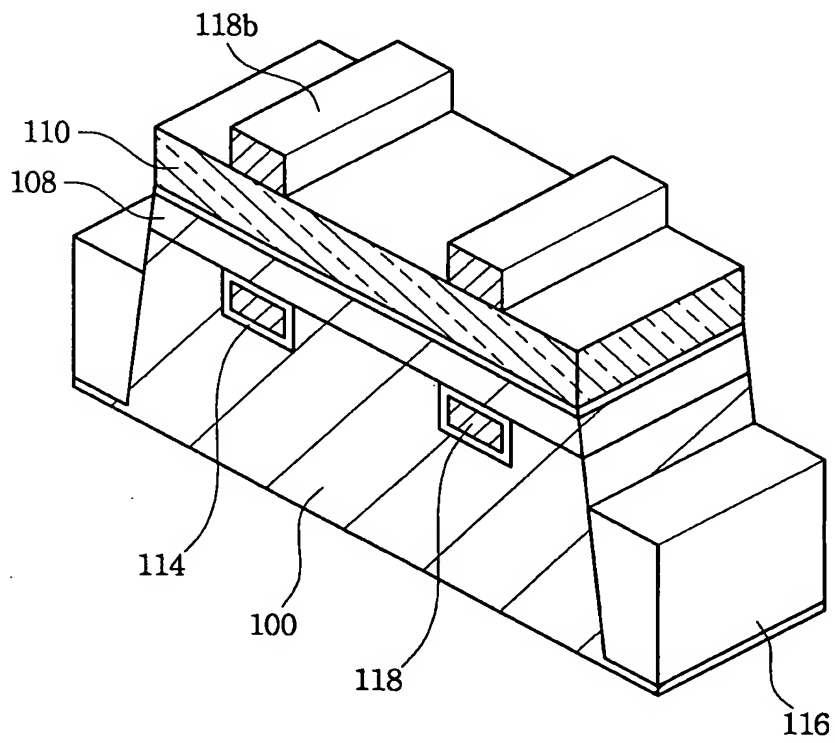
【도 12a】



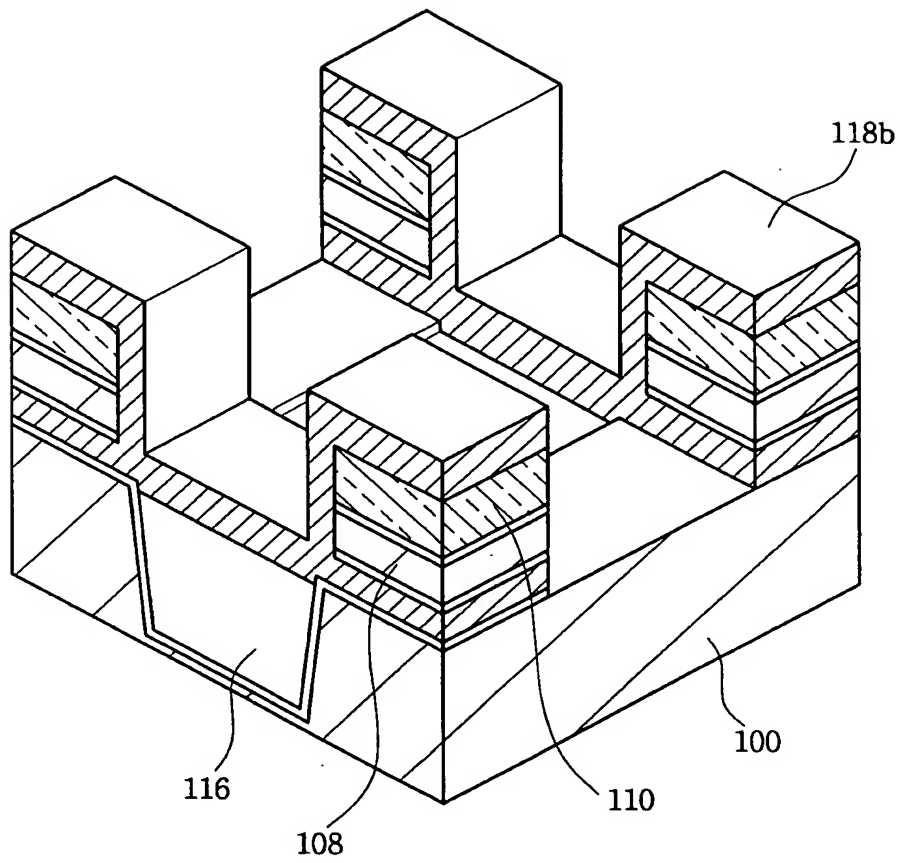
【도 12b】



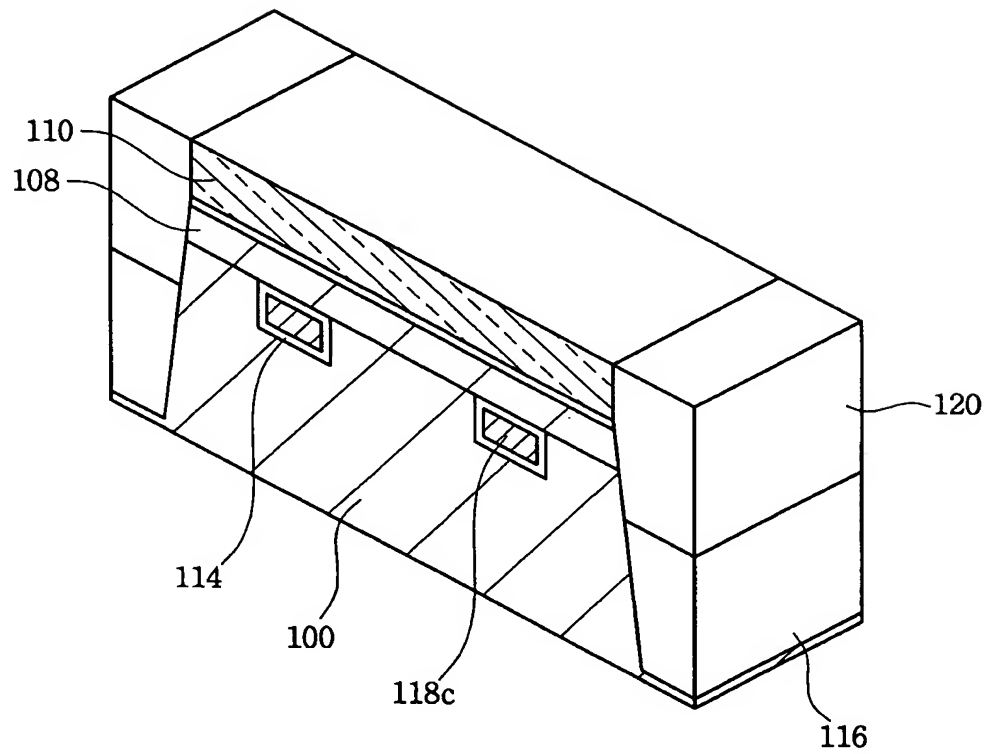
【도 13a】



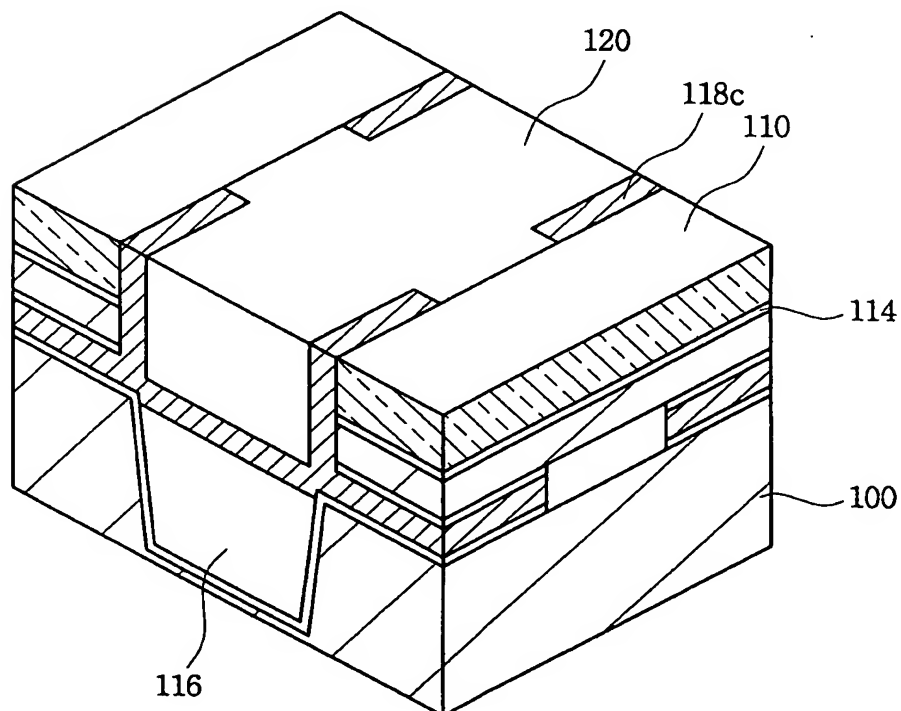
【도 13b】



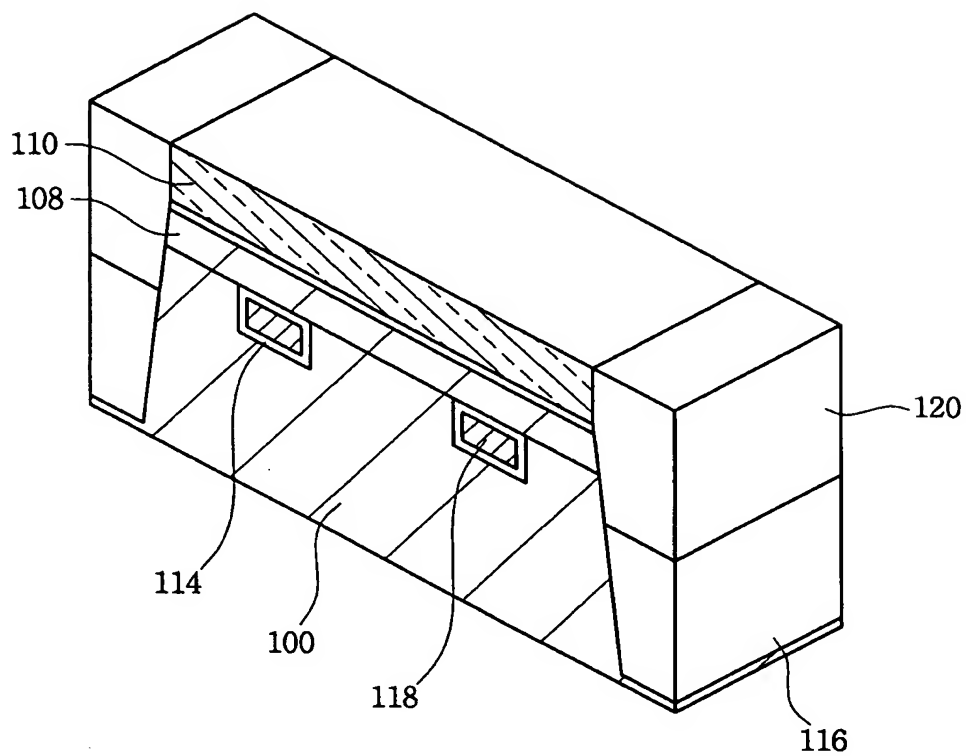
【도 14a】



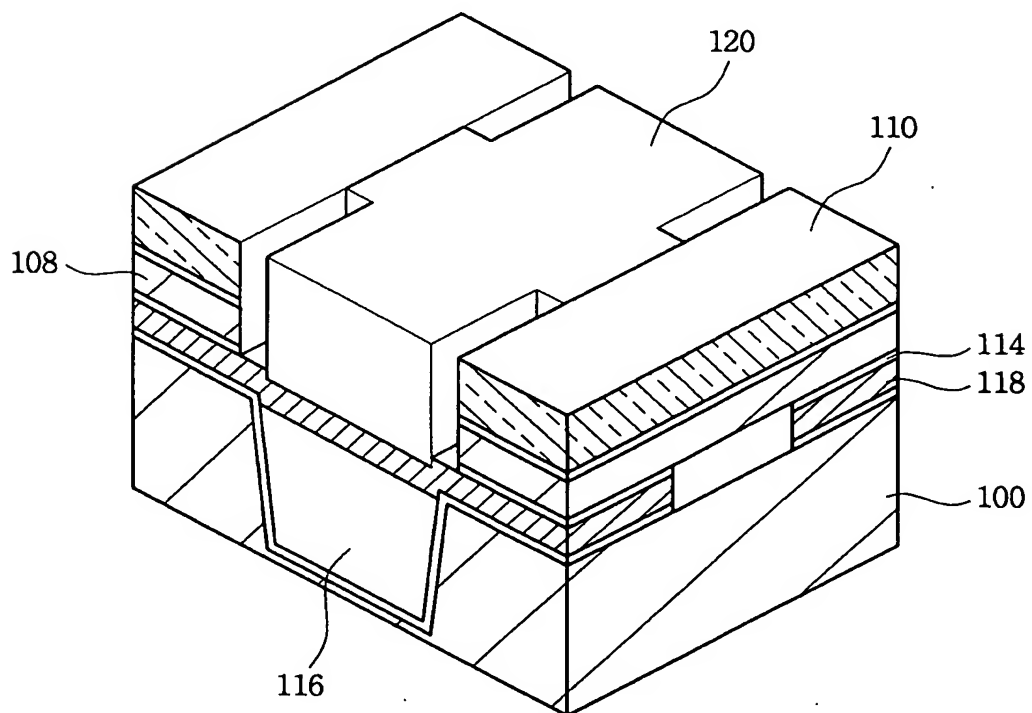
【도 14b】



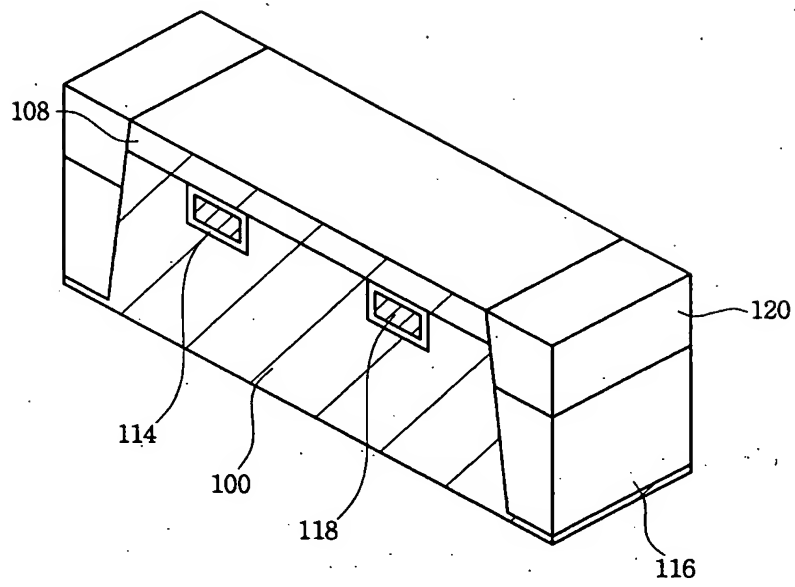
【도 15a】



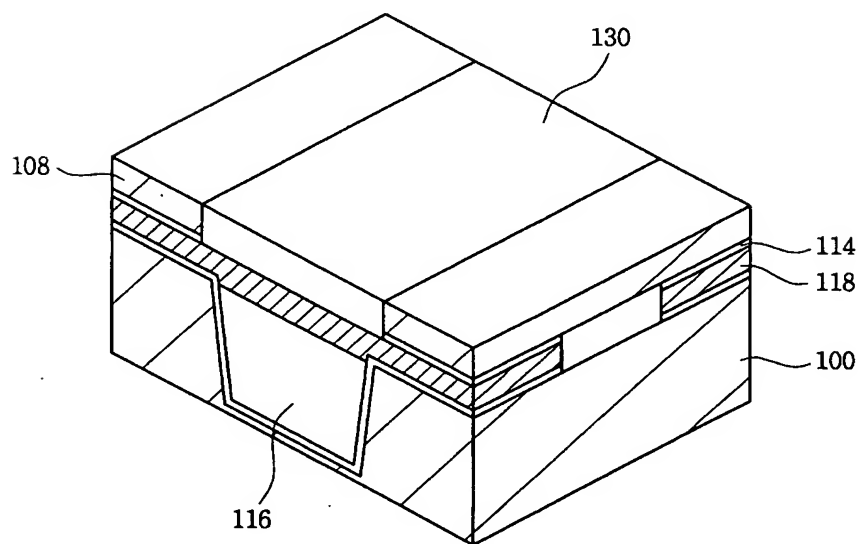
【도 15b】



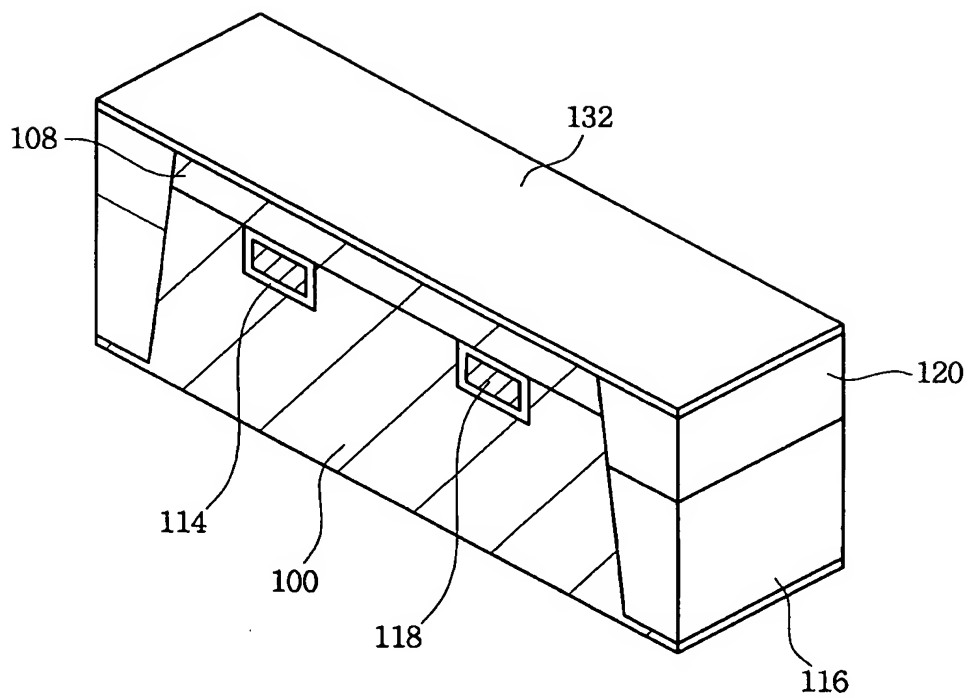
【도 16a】



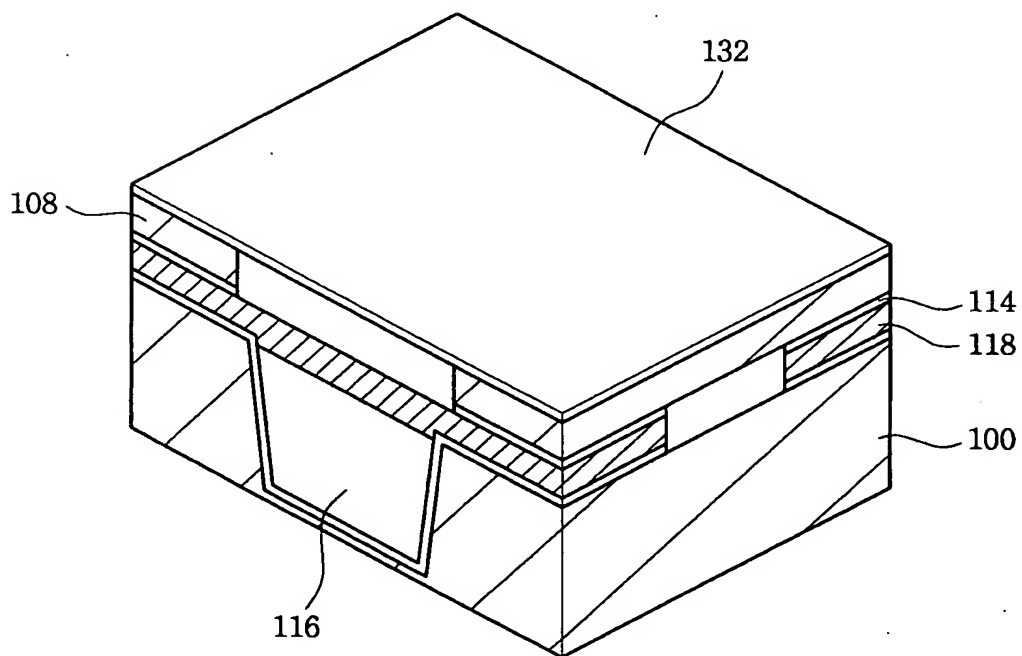
【도 16b】



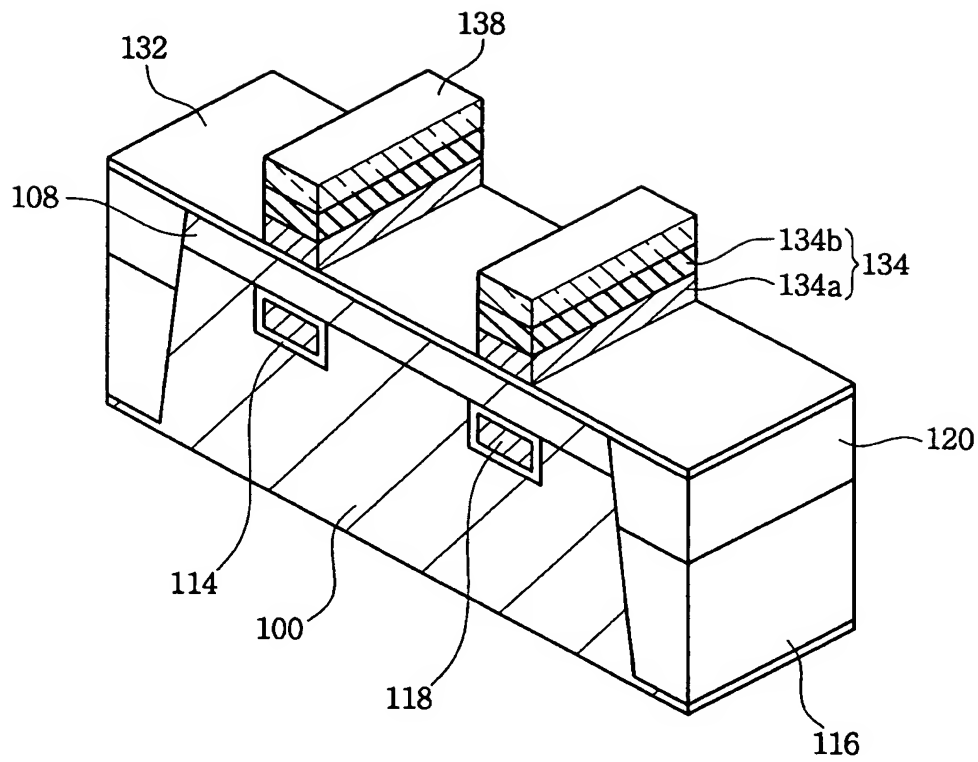
【도 17a】



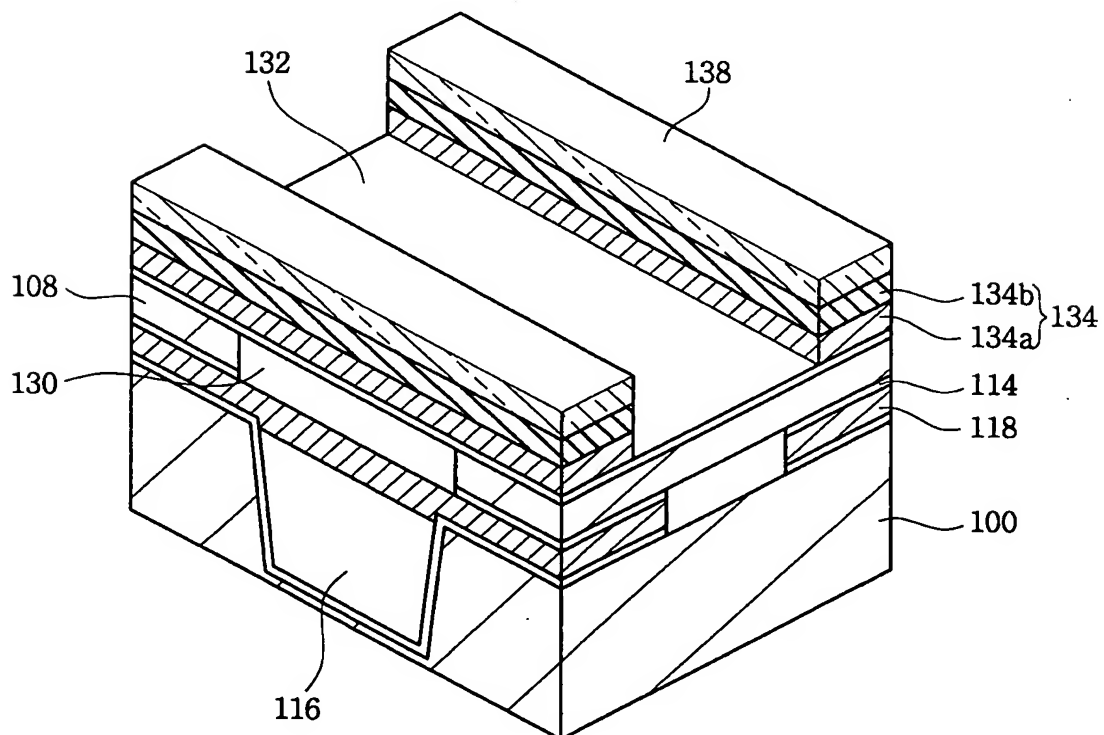
【도 17b】



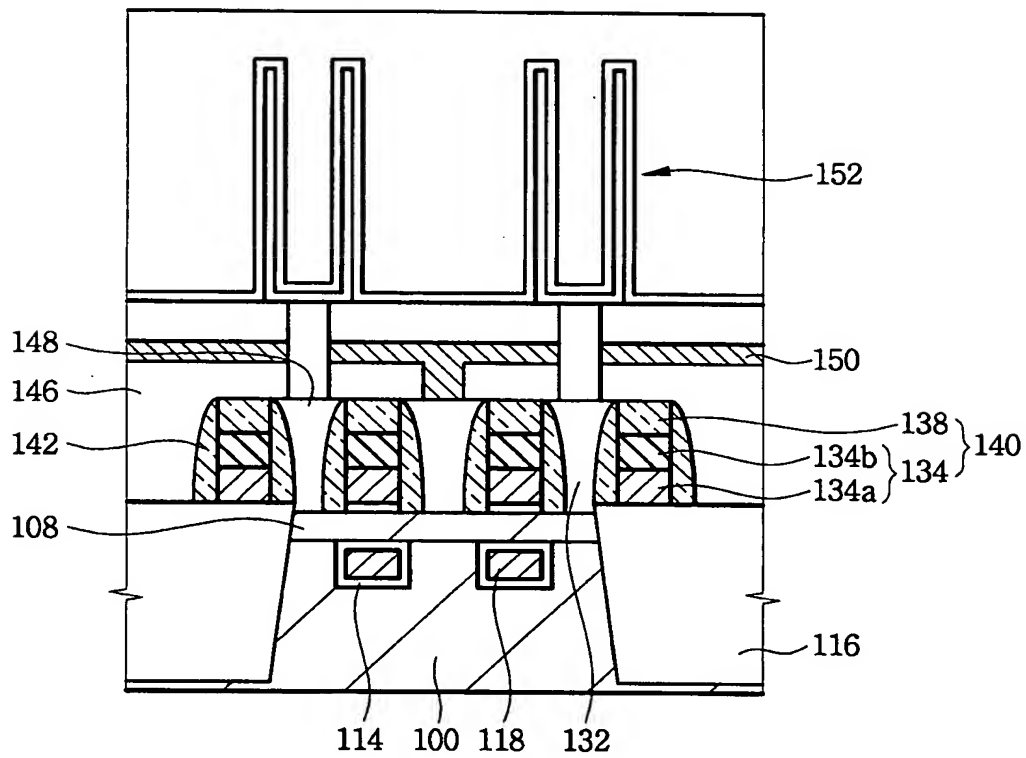
【도 18a】



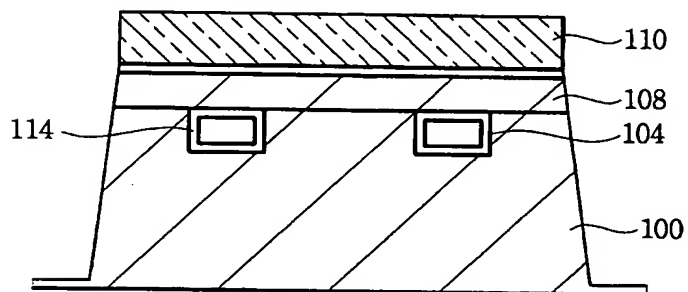
【도 18b】



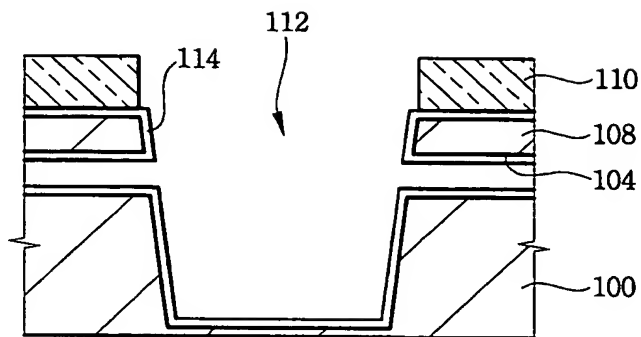
【도 19】



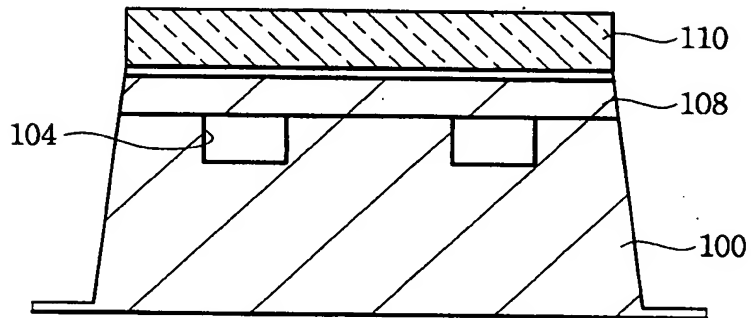
【도 20a】



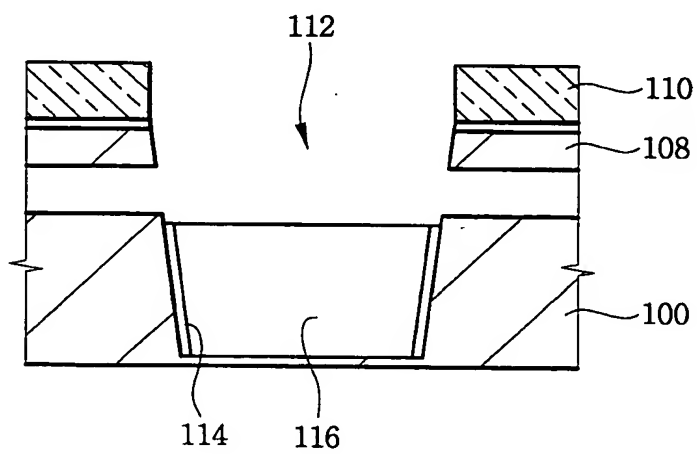
【도 20b】



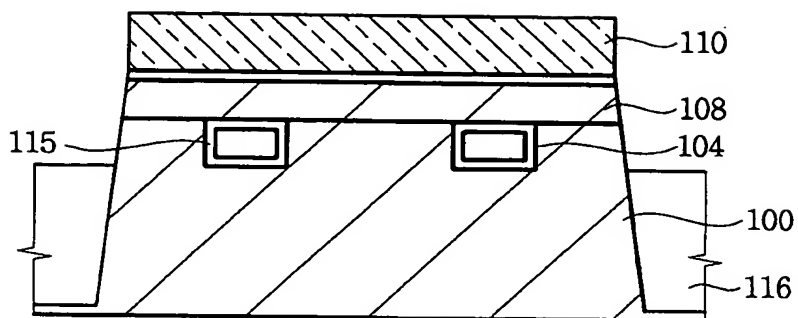
【도 21a】



【도 21b】



【도 22a】



【도 22b】

